



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0076995
(43) 공개일자 2020년06월30일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 27/15 (2006.01)
(52) CPC특허분류
H01L 27/124 (2013.01)
H01L 27/15 (2013.01)
(21) 출원번호 10-2018-0166067
(22) 출원일자 2018년12월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최선영
경기도 파주시 월롱면 엘지로 245
오금미
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인 정안

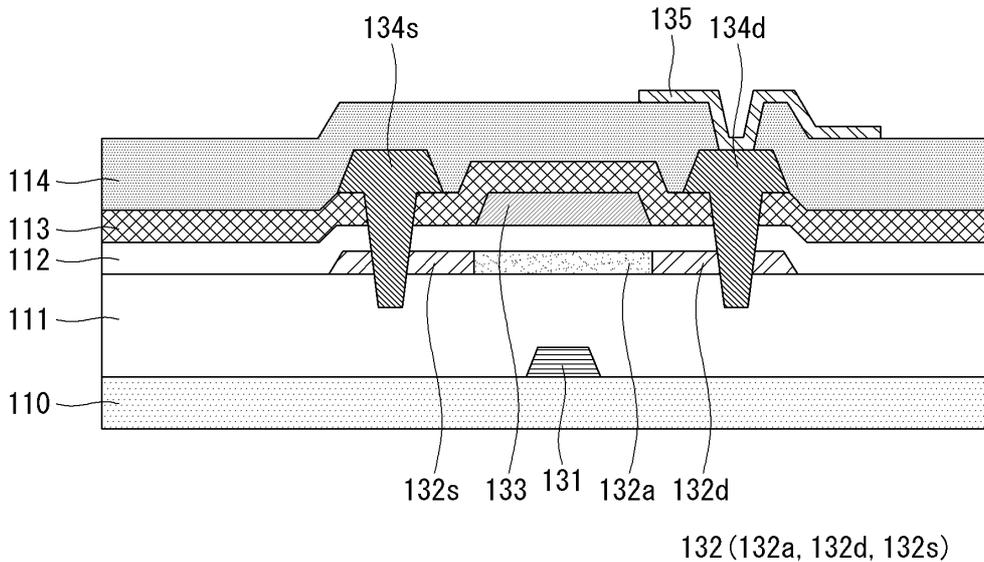
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 박막 트랜지스터 및 이를 이용한 표시패널

(57) 요약

본 명세서의 일 실시예에 따른 표시패널에 있어서, 표시패널은 기관, 기관 상에 있고 소스 영역, 드레인 영역, 및 채널 영역을 포함하는 액티브, 액티브의 소스 영역 및 드레인 영역에 각각 접촉하는 소스 전극 및 드레인 전극, 액티브 상부에 있는 상부 게이트 전극, 액티브 하부에 있는 하부 게이트 전극을 포함한다. 이 경우, 드레인 영역에 가장 가까운 하부 게이트 전극의 엣지는 채널 영역과 중첩하며, 소스 영역 및 드레인 영역은 상부 게이트 전극과 중첩하지 않는다. 따라서, 표시패널에 포함된 구동 소자는 특성이 저하되지 않으면서 높은 구동 전류를 발생시켜 표시패널의 휘도를 안정적으로 유지시킬 수 있다.

대표도 - 도3



명세서

청구범위

청구항 1

기관;

상기 기관 상에 있고, 소스 영역, 드레인 영역, 및 채널 영역을 포함하는 액티브;

상기 액티브의 소스 영역 및 드레인 영역에 각각 접촉하는 소스 전극 및 드레인 전극;

상기 액티브 상부에 있는 상부 게이트 전극;

상기 액티브 하부에 있는 하부 게이트 전극을 포함하고,

상기 드레인 영역에 가장 가까운 상기 하부 게이트 전극의 엣지는 상기 채널 영역과 중첩하며,

상기 소스 영역 및 상기 드레인 영역은 상기 상부 게이트 전극과 중첩하지 않는, 표시패널.

청구항 2

제1항에 있어서,

상기 소스 영역에서 상기 드레인 영역을 잇는 방향으로의 상기 하부 게이트 전극의 길이는 상기 상부 게이트 전극의 길이보다 짧은, 표시패널.

청구항 3

제1항에 있어서,

상기 소스 전극 및 상기 드레인 전극에 전압을 인가하였을 때 상기 채널 영역을 통해 캐리어가 이동하고,

상기 채널 영역에서 상기 캐리어가 이동하는 방향으로의 상기 상부 게이트 전극의 길이는 상기 캐리어가 이동하는 방향의 수직인 방향으로 구현된 상기 상부 게이트 전극의 폭보다 짧은, 표시패널.

청구항 4

제1항에 있어서,

상기 상부 게이트 전극은 상기 채널 영역과 중첩하고 상기 상부 게이트 전극의 크기는 상기 채널 영역의 크기보다 큰, 표시패널.

청구항 5

제1항에 있어서,

상기 하부 게이트 전극 및 상기 액티브 사이에 있는 제1 절연층; 및

상기 액티브 및 상기 상부 게이트 사이에 있는 제2 절연층을 더 포함하고,

상기 소스 전극 및 상기 드레인 전극은 상기 제2 절연층 및 상기 액티브를 관통하여 상기 제1 절연층의 일부에 침투된, 표시패널.

청구항 6

제1항에 있어서,

박막 트랜지스터는 상기 액티브, 상기 소스 전극, 상기 드레인 전극, 상기 상부 게이트 전극, 및 상기 하부 게이트 전극을 포함하고,

상기 박막 트랜지스터 상에 발광 소자를 더 포함하며,

상기 발광 소자는 마이크로 엘이디로 구현된, 표시패널.

청구항 7

제6항에 있어서,

상기 박막 트랜지스터는 S-factor가 0.3 이상이 되도록 구현된, 표시패널.

청구항 8

소스 영역, 드레인 영역, 및 채널 영역을 포함하는 액티브;

상기 액티브 상부에 있는 상부 게이트 전극; 및

상기 액티브 하부에 있는 하부 게이트 전극을 포함하고,

상기 하부 게이트 전극의 길이는 상기 상부 게이트 전극의 길이보다 짧으며,

상기 소스 영역 및 상기 드레인 영역은 상기 상부 게이트 전극과 중첩되지 않는, 박막 트랜지스터.

청구항 9

제8항에 있어서,

상기 하부 게이트 전극 및 상기 상부 게이트 전극의 길이는 상기 소스 영역에서 상기 드레인 영역을 잇는 방향으로의 수치인, 박막 트랜지스터.

청구항 10

제8항에 있어서,

상기 하부 게이트 전극의 길이는 상기 상부 게이트 전극의 길이의 이상인, 박막 트랜지스터.

청구항 11

제8항에 있어서,

상기 상부 게이트 전극은 상기 액티브의 채널 영역을 완전히 덮는, 박막 트랜지스터.

청구항 12

제8항에 있어서,

상기 액티브의 드레인 영역 및 소스 영역은 도핑된, 박막 트랜지스터.

청구항 13

제8항에 있어서,

상기 액티브의 채널 영역의 폭은 상기 채널 영역의 길이보다 긴, 박막 트랜지스터.

청구항 14

제8항에 있어서,

상기 하부 게이트 전극의 폭은 상기 액티브의 폭과 같거나 긴, 박막 트랜지스터.

발명의 설명

기술 분야

본 명세서는 박막 트랜지스터에 관한 것으로서, 보다 상세하게는 높은 구동 전류를 발생시킬 수 있는 박막 트랜지스터 및 이를 이용한 표시패널에 관한 것이다.

배경 기술

[0001]

- [0002] 현재까지 널리 이용되고 있는 액정 표시장치(Liquid Crystal Display Device; LCD), 유기 발광 표시장치(Organic Light Emitting Display Device; OLED), 및 양자점 표시장치(Quantum Dot Display Device; QD)는 그 적용 범위가 점차 확대되고 있다.
- [0003] 상술한 표시장치들은 이미지를 구현하기 위하여 복수의 발광 소자를 표시장치의 기판 상에 배치하고, 각각의 발광 소자를 개별적으로 발광하도록 컨트롤하기 위해 구동 신호 또는 구동 전류를 공급하는 구동 소자를 발광 소자와 함께 기판 상에 배치하여, 기판 상에 배치된 복수의 발광 소자를 표시하고자 하는 정보의 배열대로 해석하여 기판 상에 표시하도록 한다.
- [0004] 액정 표시장치는 자체 발광 방식이 아니므로 액정 표시장치의 후면에 빛을 발광하도록 배치된 백라이트 유닛이 필요하다. 백라이트 유닛은 액정 표시장치의 두께를 증가시키고, 플렉서블하거나 원형 등과 같은 다양한 형태의 디자인으로 표시장치를 구현하는데 제한이 있으며, 휘도 및 응답 속도가 저하될 수 있다.
- [0005] 한편, 자체 발광 소자가 있는 표시장치는 광원을 내장하는 표시장치보다 얇게 구현될 수 있으므로, 플렉서블하고 접을 수 있는 표시장치를 구현할 수 있다. 자체 발광 소자가 있는 표시장치는 발광층으로 유기물을 포함하는 유기 발광 표시장치와 LED(Light Emitting Diode)를 발광 소자로 사용하는 LED 표시장치 등이 있을 수 있는데, 유기 발광 표시장치 또는 LED 표시장치와 같은 자체 발광 표시장치는 별도의 광원이 필요 없기 때문에 더욱 얇거나 다양한 형태의 표시장치로 활용될 수 있다.
- [0006] 그러나, 유기물을 사용하는 유기 발광 표시장치는 수분과 산소의 침투에 의한 유기 발광층과 전극 간의 산화현상 등 불량 화소가 발생되기 쉬우므로 산소와 수분의 침투를 최소화하기 위한 다양한 기술적 구성이 추가적으로 요구된다.
- [0007] 상술한 문제점을 해결하기 위해 근래에는 무기물을 사용하는 LED를 발광 소자로 사용하는 표시장치에 대한 연구 및 개발이 진행되고 있으며, 이러한 발광 표시장치는 고화질과 고신뢰성을 갖기 때문에 차세대 표시장치로서 각광받고 있다.

발명의 내용

해결하려는 과제

- [0008] LED 소자는 반도체에 전류를 흘려주면 빛을 내는 성질을 이용한 반도체 발광 소자로 조명, TV, 사이니지(signinage) 표시장치, 및 타일링(tiling) 표시장치 등 각종 표시장치 등에 널리 활용되고 있다. LED 소자는 n형 전극과 p형 전극, 그리고 그 사이에 있는 활성층으로 구성된다. n형 전극 및 p형 전극은 각각 반도체로 형성된다. n형 전극과 p형 전극에 전류를 흘려주면 n형 전극으로부터의 전자와, p형 전극으로부터의 정공이 활성층에서 결합하여 빛을 낸다.
- [0009] LED 소자는 GaN와 같은 화합물 반도체로 구성되어 무기 재료 특성상 고 전류를 주입할 수 있어 고휘도를 구현할 수 있고, 열, 수분, 산소 등 환경 영향성이 낮아 고신뢰성을 갖는다.
- [0010] 또한, LED 소자는 내부 양자 효율이 90% 수준으로 유기 발광 표시장치보다 높으므로 고휘도의 영상을 표시할 수 있으며, 소모 전력이 낮은 표시장치를 구현할 수 있는 장점이 있다.
- [0011] 또한, 유기 발광 표시장치와는 달리 무기물을 사용하기에 산소와 수분의 영향이 미미한 수준으로 산소와 수분의 침투를 최소화하기 위한 별도의 봉지막 또는 봉지기판이 필요 없다. 따라서, 봉지막 또는 봉지기판을 배치함으로써 발생할 수 있는 마진 영역인 표시장치의 비표시 영역을 줄일 수 있는 장점이 있다.
- [0012] 그러나, LED 소자와 같은 발광 소자는 액정 표시장치나 유기 발광 표시장치와 상대적으로 높은 구동 전류를 필요로 한다. 화소 구동 회로에는 발광 소자에 일정한 전류를 제공하기 위한 구동 소자를 포함한다. 그리고, 발광 소자는 발광 소자에 연결된 화소 구동 회로로부터 구동 전류를 제공받음으로써 발광한다.
- [0013] 높은 구동 전류를 발생시키기 위해서는 구동 소자의 액티브 형태를 변형하여 설계할 수 있는데, 일반적으로 액티브의 폭을 액티브의 길이보다 크게 형성함으로써 구동 전류를 증가시킬 수 있다. 이 경우, 액티브의 길이는 캐리어가 이동하는 방향으로의 수치이고, 캐리어는 액티브의 소스 영역으로부터 드레인 영역으로 이동한다. 그리고, 액티브의 폭은 캐리어가 이동하는 길의 넓이를 의미한다. 구체적으로, 액티브의 길이 및 폭은 캐리어가 이동하는 길이 채널 영역의 길이 및 폭을 의미한다.
- [0014] 하지만, 액티브의 폭을 액티브의 길이보다 크게 형성하는 경우 액티브의 폭을 액티브의 길이보다 작게 형성하는

경우보다 구동 소자의 특성이 저하된다. 액티브의 폭이 액티브의 길이보다 긴 경우 트랜지스터의 I-V 커브 (transfer curve 또는 I_{ds} - V_{gs} curve)에서 험프(hump) 및 디블(DIBL, Drain Induced Barrier Lowering)과 같은 구동 소자의 특성을 저하시키는 요소들이 발생하고, 구동 전류 커브(output curve 또는 I_{ds} - V_d curve) 측정 시 포화(saturation) 영역에서 구동 전류가 포화되지 않고 증가하는 문제가 발생한다. LED 소자는 전류 소자로 안정적인 전류 값이 유지되어야 하는데 액티브의 폭이 액티브의 길이보다 크게 형성된 구동 소자를 사용하는 경우 LED 소자는 안정적인 휘도를 유지하기 쉽지 않다.

[0015] 이에 본 명세서의 발명자들은 위에서 언급한 문제점을 인식하여, 높은 구동 전류를 발생시키면서 안정적으로 전류를 제공하는 구동 소자 및 이를 이용한 표시패널을 발명하였다.

[0016] 본 명세서의 실시예에 따른 해결 과제는 높은 구동 전류를 발생시키면서 출력 특성을 향상시킬 수 있는 전극 특화 구조로 구현된 박막 트랜지스터를 제공하는 것이다.

[0017] 본 명세서의 실시예에 따른 해결 과제는 LED 소자에 구동 전류를 제공하는 구동 소자의 상부 게이트 및 하부 게이트에 의한 전류 컨트롤 구조를 적용하여 높은 구동 전류를 제공할 수 있는 박막 트랜지스터 및 이를 이용한 표시패널을 제공하는 것이다.

[0018] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0019] 본 명세서의 일 실시예에 따른 표시패널에 있어서, 표시패널은 기판, 기판 상에 있고 소스 영역, 드레인 영역, 및 채널 영역을 포함하는 액티브, 액티브의 소스 영역 및 드레인 영역에 각각 접촉하는 소스 전극 및 드레인 전극, 액티브 상부에 있는 상부 게이트 전극, 액티브 하부에 있는 하부 게이트 전극을 포함한다. 이 경우, 드레인 영역에 가장 가까운 하부 게이트 전극의 엣지는 채널 영역과 중첩하며, 소스 영역 및 드레인 영역은 상부 게이트 전극과 중첩하지 않는다. 따라서, 표시패널을 구성하는 구동 소자는 특성이 저하되지 않으면서 높은 구동 전류를 발생시켜 표시패널의 휘도를 안정적으로 유지시킬 수 있다.

[0020] 본 명세서의 일 실시예에 따른 박막 트랜지스터에 있어서, 박막 트랜지스터는 소스 영역, 드레인 영역, 및 채널 영역을 포함하는 액티브, 액티브 상부에 있는 상부 게이트 전극, 및 액티브 하부에 있는 하부 게이트 전극을 포함한다. 이 경우, 하부 게이트 전극의 길이는 상부 게이트 전극의 길이보다 짧으며, 소스 영역 및 드레인 영역은 상부 게이트 전극과 중첩되지 않는다. 따라서, 박막 트랜지스터는 높은 구동 전류를 발생시키면서 박막 트랜지스터의 특성을 향상시킬 수 있다.

[0021] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0022] 본 명세서의 실시예들에 따르면, 표시패널은 전극 특화 구조로 구현된 박막 트랜지스터를 포함함으로써, 높은 구동 전류를 발광 소자에 제공하여 표시패널의 휘도를 안정적으로 유지시킬 수 있다.

[0023] 그리고, 본 명세서의 실시예들에 따르면, 드레인에 가장 가까운 하부 게이트 전극의 엣지가 채널 영역과 중첩하고, 소스 영역 및 드레인 영역은 상부 게이트 전극과 중첩하지 않는 박막 트랜지스터를 구현함으로써, 킥크나 험프 또는 디블과 같은 박막 트랜지스터의 전기적 특성을 저하시키는 요소들의 발생을 줄여 박막 트랜지스터의 전기적 특성을 향상시킬 수 있다.

[0024] 그리고, 본 명세서의 실시예들에 따르면, 박막 트랜지스터의 하부 게이트 전극의 길이는 상부 게이트 전극의 길이보다 짧지만 절반 이상이 되도록 구현함으로써, 높은 구동 전류를 발생시키면서 킥크나 험프 또는 디블과 같은 박막 트랜지스터의 전기적 특성을 저하시키는 요소들의 발생을 줄여 박막 트랜지스터의 전기적 특성을 향상시킬 수 있다.

[0025] 그리고, 본 명세서의 실시예들에 따르면, 박막 트랜지스터의 상부 게이트 전극이 액티브의 채널 영역을 완전히 덮도록 구현함으로써, 캐리어가 채널 영역을 통해 이동할 수 있게 한다.

[0026] 그리고, 본 명세서의 실시예들에 따르면, 박막 트랜지스터의 하부 게이트 전극의 폭이 액티브의 폭과 같거나 길게 구현함으로써, 액티브의 채널 영역에 단차가 발생하지 않고 박막 트랜지스터의 특성이 저하되지 않게 한다.

[0027] 그리고, 본 명세서의 실시예들에 따르면, 박막 트랜지스터의 액티브의 채널 영역의 폭은 채널 영역의 길이보다

길게 구현함으로써, 박막 트랜지스터는 높은 구동 전류를 발광 소자에 제공할 수 있다.

[0028] 그리고, 본 명세서의 실시예들에 따르면, 박막 트랜지스터는 S-factor가 0.3 이상이 되도록 구현됨으로써, 데이터 전압의 폭을 증가시켜 보다 세분화된 계조를 표현할 수 있다.

[0029] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특징하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

- [0030] 도 1은 본 명세서의 일 실시예에 따른 표시패널을 나타낸 평면도이다.
- 도 2는 본 명세서의 일 실시예에 따른 화소 구동 회로를 나타낸 회로도이다.
- 도 3은 본 명세서의 일 실시예에 따른 구동 소자의 단면도이다.
- 도 4a는 본 명세서의 일 실시예에 따른 박막 트랜지스터의 개략적인 평면도이다.
- 도 4b는 도 4a의 X축 단면도이다.
- 도 4c는 도 4a의 Y축 단면도이다.
- 도 5a 내지 도 5h는 본 명세서의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 나타낸 도면이다.
- 도 6a는 본 명세서의 실험예에 따른 박막 트랜지스터의 구동 전류 그래프이다.
- 도 6b는 본 명세서의 일 실시예에 따른 박막 트랜지스터의 구동 전류 그래프이다.
- 도 7은 본 명세서의 일 실시예에 따른 박막 트랜지스터의 전계 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0032] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0033] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0034] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로', '직접', '인접한'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0035] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0036] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0037] 본 명세서에서 표시패널의 기관 상에 형성되는 게이트 구동부 및 화소 구동 회로는 n타입 또는 p타입의 트랜지스터로 구현될 수 있다. 예를 들어, 트랜지스터는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 트랜지스터는 게이트 전극, 소스 전극, 및 드레인 전극을 포함한 3전극 소자이다. 소스 전극은 캐리어(carrier)를 트랜지스터에 공급한다. 트랜지스터 내에서 캐리어는 소

스 전극으로부터 이동하기 시작한다. 드레인 전극은 트랜지스터에서 캐리어가 외부로 나가는 전극이다.

- [0038] 예를 들어, 트랜지스터에서 캐리어는 소스 전극으로부터 드레인 전극으로 이동한다. n타입 트랜지스터의 경우, 캐리어가 전자이기 때문에 소스 전극에서 드레인 전극으로 이동할 수 있도록 소스 전극의 전압이 드레인 전극의 전압보다 낮은 전압을 가진다. n타입 트랜지스터에서 전자가 소스 전극으로부터 드레인 전극쪽으로 이동하기 때문에 전류의 방향은 반대로 드레인 전극으로부터 소스 전극쪽이다. p타입 트랜지스터의 경우, 캐리어가 정공이기 때문에 소스 전극으로부터 드레인 전극으로 정공이 이동할 수 있도록 소스 전극의 전압이 드레인 전극의 전압보다 높다. p타입 트랜지스터의 정공이 소스 전극으로부터 드레인 전극쪽으로 이동하기 때문에 전류의 방향은 소스 전극으로부터 드레인 전극쪽이다. 트랜지스터의 소스 전극과 드레인 전극은 고정된 것이 아니고, 트랜지스터의 소스 전극과 드레인 전극은 인가 전압에 따라 변경될 수 있다. 따라서, 소스 전극 및 드레인 전극은 각각 제1 전극 및 제2 전극 또는 제2 전극 및 제1 전극으로 언급될 수 있다.
- [0039] 이하에서, 게이트 온 전압(gate on voltage)은 트랜지스터가 턴-온(turn-on)될 수 있는 게이트 신호의 전압이고, 게이트 오프 전압(gate off voltage)은 트랜지스터가 턴-오프(turn-off)될 수 있는 전압이다. 예를 들어, p타입 트랜지스터에서 게이트 온 전압은 로직로우 전압(VL)일 수 있고, 게이트 오프 전압은 로직하이 전압(VH)일 수 있다. n타입 트랜지스터에서 게이트 온 전압은 로직하이 전압일 수 있고, 게이트 오프 전압은 로직로우 전압일 수 있다.
- [0040] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예에 따른 박막 트랜지스터 및 표시패널에 대하여 설명하기로 한다.
- [0041] 도 1은 본 명세서의 일 실시예에 따른 표시패널을 나타낸 평면도이다. 도 2는 본 명세서의 일 실시예에 따른 화소 구동 회로를 나타낸 회로도이다.
- [0042] 도 1 및 도 2를 참고하면, 본 명세서의 일 실시예에 따른 표시패널(100)은 복수의 단위픽셀(UP)이 있는 표시 영역(DA)과 비표시 영역(NDA)으로 구분된 기관(110)을 포함한다.
- [0043] 단위픽셀(UP)은 기관(110)의 전면(110a)에 있는 복수의 서브픽셀(SP1, SP2, SP3)로 구성될 수 있으며 통상적으로 적색(red), 청색(blue), 및 녹색(green)의 빛을 발광하는 서브픽셀(SP1, SP2, SP3)을 포함할 수 있으나 이에 한정되지 않고, 백색(white) 등의 빛을 발하는 서브픽셀을 더 포함할 수 있다.
- [0044] 기관(110)은 트랜지스터들이 형성된 어레이 기관으로서, 플라스틱 재질 또는 유리 재질을 포함한다.
- [0045] 일 예에 따른 기관(110)은 불투명 또는 유색 폴리이미드(polyimide) 재질을 포함할 수 있다. 이 경우, 기관(110)을 평면 상태로 유지시키기 위해 기관(110)의 후면에 결합된 백 플레이트를 더 포함할 수도 있다. 일 예에 따른 백 플레이트는 플라스틱 재질, 예를 들어, 폴리에틸렌 테레프탈레이트(polyethylene terephthalate) 재질을 포함할 수 있다. 일 예에 따른 기관(110)은 유리 기관일 수 있다. 예를 들어, 유리 재질의 기관(110)은 100 μ m 이하의 두께를 갖는 박형 유리 기관으로 플렉서블한 특성을 가질 수 있다.
- [0046] 또한, 기관(110)은 두 장 이상의 기관의 합착 또는 두 층 이상의 층으로 구분될 수 있다.
- [0047] 비표시 영역(NDA)은 표시 영역(DA)을 제외한 기관(110) 상의 영역으로 정의될 수 있고, 표시 영역(DA)에 비해 상대적으로 좁은 폭(또는 크기)을 가질 수 있으며, 베젤 영역으로 정의될 수 있다.
- [0048] 복수의 단위픽셀(UP) 각각은 표시 영역(DA)에 배치된다. 이 경우, 복수의 단위픽셀(UP) 각각은 X축 방향을 따라 미리 결정된 제1 기준 픽셀 피치(pixel pitch)를 가지고 Y축 방향을 따라 미리 설정된 제2 기준 픽셀 피치를 가지도록 표시 영역(DA)에 배치된다. 제1 기준 픽셀 피치 및 제2 기준 픽셀 피치 각각은 X축 방향 또는 Y축 방향으로 인접한 단위픽셀(UP) 각각의 정 중앙부 간의 거리로 정의될 수 있다.
- [0049] 그리고, 단위픽셀(UP)을 이루는 서브픽셀(SP1, SP2, SP3) 간의 거리 또한 제1 기준 픽셀 피치 및 제2 기준 픽셀 피치와 유사하게 제1 기준 서브픽셀 피치 및 제2 기준 서브픽셀 피치로 정의될 수 있다.
- [0050] LED 소자(150)를 포함하는 표시패널(100)은 비표시 영역(NDA)의 폭이 픽셀 피치 또는 서브픽셀 피치보다 작을 수 있으며, 픽셀 피치 또는 서브픽셀 피치보다 같거나 작은 길이의 비표시 영역(NDA)을 갖는 표시패널(100)로, 예를 들어, 타일링 표시장치를 구현하는 경우, 비표시 영역(NDA)이 픽셀 피치 또는 서브픽셀 피치보다 작으므로 베젤 영역이 실질적으로 없는 타일링 표시장치를 구현할 수 있다.
- [0051] 베젤 영역이 실질적으로 없거나 최소화된, 타일링 표시장치 또는 멀티 스크린 표시장치를 구현하기 위해 표시패널(100)은 표시 영역(DA) 내에서 제1 기준 픽셀 피치, 제2 기준 픽셀 피치, 제1 기준 서브픽셀 피치, 및 제2 기

준 서브픽셀 피치를 일정하게 유지할 수도 있으나, 표시 영역(DA)을 복수의 구역으로 정의하고 각각의 구역 내에서 상술한 피치의 길이를 서로 다르게 하되, 비표시 영역(NDA)과 인접한 구역의 픽셀 피치를 다른 구역보다 넓게 함으로써, 베젤 영역의 크기를 픽셀 피치보다 상대적으로 더 작도록 할 수 있다. 이 경우, 서로 다른 픽셀 피치를 갖는 표시패널(100)은 화상에 대한 왜곡 현상이 발생할 수 있으므로 설정된 픽셀 피치를 고려하여 인접한 구역과 비교 및 샘플링하는 방법으로 이미지 프로세싱을 하여 화상에 대한 왜곡 현상을 없애면서 베젤 영역을 줄일 수 있다.

- [0052] 도 2를 참고하여, 표시패널(100)의 단위픽셀(UP)을 구성하는 서브픽셀(SP1, SP2, SP3)의 구성 및 구동 회로에 대해 설명한다. 픽셀 구동 라인들은 기관(110)의 전면(110a) 상에 마련되어 복수의 서브픽셀(SP1, SP2, SP3) 각각에 필요한 신호를 공급한다. 본 명세서의 일 실시예에 따른 픽셀 구동 라인들은 게이트 라인, 데이터 라인(DL), 및 전원 라인을 포함한다. 게이트 라인은 제1 게이트 라인(GL1), 제2 게이트 라인(GL2), 및 에미션 라인(EL)을 포함하고, 전원 라인은 구동 전원 라인(DPL), 공통 전원 라인(CPL), 초기화 전원 라인(IL)을 포함한다.
- [0053] 게이트 라인은 기관(110)의 전면(110a) 상에 마련되는 것으로, 기관(110)의 수평 축 방향(X)을 따라 길게 연장되면서 수직 축 방향(Y)을 따라 일정한 간격으로 이격된다.
- [0054] 데이터 라인(DL)은 게이트 라인과 교차하도록 기관(110)의 전면(110a) 상에 마련된 것으로, 기관(110)의 수직 축 방향(Y)을 따라 길게 연장되면서 수평 축 방향(X)을 따라 일정한 간격으로 이격된다.
- [0055] 구동 전원 라인(DPL)은 데이터 라인(DL)과 나란하도록 기관(110) 상에 마련되는 것으로, 데이터 라인(DL)과 함께 형성될 수 있다. 그리고, 구동 전원 라인(DPL) 각각은 외부로부터 제공되는 픽셀 구동 전원을 인접한 서브픽셀(SP1, SP2, SP3)에 공급한다. 예를 들어, 구동 전원 라인(DPL)은 복수의 단위픽셀(UP) 마다 하나씩 마련될 수 있다. 이 경우, 단위픽셀(UP)을 구성하는 적어도 세 개의 서브픽셀(SP1, SP2, SP3)은 하나의 구동 전원 라인(DPL)을 공유한다. 이에 따라, 각 서브픽셀(SP1, SP2, SP3)의 구동을 위한 구동 전원 라인(DPL)의 개수를 감소시킬 수 있고, 감소된 구동 전원 라인(DPL)의 개수만큼 각 단위픽셀(UP)의 개구율을 증가시키거나 각 단위픽셀(UP)의 크기를 감소시킬 수 있다.
- [0056] 공통 전원 라인(CPL)은 게이트 라인과 나란하도록 기관(110) 상에 마련되는 것으로, 게이트 라인과 함께 형성될 수 있다. 그리고, 공통 전원 라인(CPL)은 외부로부터 제공되는 공통 전원을 인접한 서브픽셀(SP1, SP2, SP3)에 공급한다.
- [0057] 서브픽셀(SP1, SP2, SP3) 각각은 게이트 라인과 데이터 라인(DL)에 의해 정의되는 서브픽셀 영역에 마련된다. 그리고, 서브픽셀(SP1, SP2, SP3) 각각은 실제 빛이 발광되는 최소 단위의 영역으로 정의될 수 있다.
- [0058] 서로 인접한 적어도 세 개의 서브픽셀(SP1, SP2, SP3)은 컬러 표시를 위한 하나의 단위픽셀(UP)을 구성할 수 있다. 예를 들어, 하나의 단위픽셀(UP)은 수평 축 방향(X)을 따라 서로 인접한 적색 서브픽셀(SP1), 녹색 서브픽셀(SP2), 및 청색 서브픽셀(SP3)을 포함하며, 휘도 향상을 위해 백색 서브픽셀을 더 포함할 수도 있다. 본 명세서에서 도시된 서브픽셀들의 배치 구조는 스트라이프 형태이지만 이에 한정되지는 않는다.
- [0059] 본 명세서의 일 실시예에 따른 복수의 서브픽셀(SP1, SP2, SP3) 각각은 픽셀 회로(130) 및 LED 소자(150)을 포함한다.
- [0060] 픽셀 회로(130)는 각 서브픽셀(SP1, SP2, SP3)에 정의된 회로 영역에 마련되어 인접한 게이트 라인, 데이터 라인(DL), 및 전원 라인에 연결된다. 픽셀 회로(130)는 구동 전원 라인(DPL)을 통해 제공되는 픽셀 구동 전원을 기반으로, 게이트 라인을 통해 제공되는 스캔 펄스에 응답하여 데이터 라인(DL)을 통해 제공되는 데이터 신호에 따라 LED 소자(150)에 흐르는 전류를 제어한다.
- [0061] 본 명세서의 일 실시예에 따른 픽셀 회로(130)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 구동 트랜지스터(DT), 및 커패시터(Cst)를 포함한다. 제1 트랜지스터(T1) 내지 제5 트랜지스터(T5), 그리고 구동 트랜지스터(DT)는 PMOS형 박막 트랜지스터로 구현될 수 있고, 이를 통해 응답 특성을 확보할 수 있다. 다만, 본 발명의 기술적 사상은 이에 한정되지는 않는다. 예를 들어, 제1 트랜지스터(T1) 내지 제5 트랜지스터(T5), 및 구동 트랜지스터(DT) 중에서 적어도 하나의 트랜지스터는 오프 커런트(off-current) 특성이 좋은 NMOS형 박막 트랜지스터로 구현되고, 나머지 트랜지스터들은 응답 특성이 좋은 PMOS형 박막 트랜지스터로 구현될 수도 있다.
- [0062] LED 소자(150)는 서브픽셀(SP1, SP2, SP3) 각각에 실장된다. LED 소자(150)는 해당 서브픽셀의 픽셀 회로(130)와 공통 전원 라인(CPL)에 전기적으로 연결됨으로써 픽셀 회로(130), 구체적으로, 구동 트랜지스터(DT)로부터

공통 전원 라인(CPL)으로 흐르는 전류에 의해 발광한다. 본 명세서의 일 실시예에 따른 LED 소자(150)는 적색 광, 녹색 광, 청색 광, 및 백색 광 중 어느 하나의 광을 방출하는 광 소자 또는 발광 다이오드 칩일 수 있다. 여기서, 발광 다이오드 칩은 1 내지 100 마이크로미터의 스케일을 가질 수 있으나 이에 한정되지 않고, 서브픽셀 영역 중 픽셀 회로(130)가 차지하는 회로 영역을 제외한 나머지 발광 영역의 크기보다 작은 크기를 가질 수 있다.

- [0063] 구동 트랜지스터(DT)는 구동 트랜지스터(DT)의 게이트-소스 간 전압에 따라 LED 소자(150)에 흐르는 전류를 조절하는 구동 소자이다. 구동 트랜지스터(DT)는 제1 노드(N1)에 연결된 게이트 전극, 구동 전원 라인(DPL)에 연결된 소스 전극, 및 제2 노드(N2)에 연결된 드레인 전극을 포함한다. 구동 트랜지스터(DT)는 LED 소자(150)에 높은 구동 전류를 제공하기 위하여 더블 게이트형 트랜지스터로 구현될 수 있다.
- [0064] 제1 트랜지스터(T1)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결되고, 제1 게이트 신호에 따라 스위칭된다. 제1 트랜지스터(T1)의 게이트 전극은 제1 게이트 신호가 인가되는 제1 게이트 라인(GL1)에 연결된다. 제1 트랜지스터(T1)는 턴-온시 구동 트랜지스터(DT)의 게이트 전극과 드레인 전극을 연결시킴으로서 다이오드 커넥션(diode-connection)된다. 이 경우, 제1 트랜지스터(T1)는 구동 트랜지스터(DT)의 문턱전압 인자를 감지하여 보상한다.
- [0065] 제2 트랜지스터(T2)는 데이터 라인(DL)과 제3 노드(N3) 사이에 연결되고, 제1 게이트 신호에 따라 스위칭된다. 제2 트랜지스터(T2)의 게이트 전극은 제1 게이트 라인(GL1)에 연결된다. 제2 트랜지스터(T2)는 턴-온되어 데이터 신호를 제3 노드(N3)에 인가한다.
- [0066] 제3 트랜지스터(T3)는 제2 노드(N2)와 LED 소자(150) 사이에 연결되고, 에미션 라인(EL)을 통해 제공되는 에미션 신호에 따라 스위칭된다. 제3 트랜지스터(T3)는 턴-온되어 구동 트랜지스터(DT)를 통해 흐르는 전류를 LED 소자(150)에 제공한다. 제3 트랜지스터(T3)는 발광 문턱전압이 낮은 LED 소자(150)가 초기화 전압으로 인해 발광하지 않도록 제어한다.
- [0067] 제4 트랜지스터(T4)는 제3 노드(N3)와 초기화 전원 라인(IL) 사이에 연결되고, 에미션 신호에 따라 스위칭된다. 제4 트랜지스터(T4)는 턴-온되어 초기화 전원 라인(IL)을 통해 제공되는 초기화 전원을 제3 노드(N3)에 제공하여 제3 노드(N3)의 전압을 초기화시킨다.
- [0068] 제5 트랜지스터(T5)는 제2 노드(N2)와 초기화 전원 라인(IL) 사이에 연결되고, 제2 게이트 라인(GL2)을 통해 제공되는 제2 게이트 신호에 따라 스위칭된다. 제5 트랜지스터(T5)는 턴-온되어 초기화 전원을 제2 노드(N2)에 제공하여 제2 노드(N2)의 전압을 초기화시킨다.
- [0069] 커패시터(Cst)는 제1 노드(N1)와 제3 노드(N3)의 중첩 영역에 마련되어 구동 트랜지스터(DT)의 게이트 전극에 공급되는 데이터 신호에 대응되는 전압을 저장하고, 저장된 전압으로 구동 트랜지스터(DT)를 턴-온시킨다.
- [0070] 이어서 픽셀회로(130)의 구동에 대해서 설명한다. 도 2의 픽셀 회로(130)의 구동은 제1 초기화 구간, 제2 초기화 구간, 보상 구간, 유지 구간, 및 발광 구간으로 구분될 수 있다. 제1 초기화 구간에서 에미션 신호와 제2 게이트 신호는 게이트 온 전압 상태이므로, 제3 노드(N3)의 전압은 초기화되고 LED 소자(150)는 발광상태를 유지한다. 제2 초기화 구간에서 에미션 신호는 게이트 오프 전압으로 전환되고, 제1 게이트 신호는 게이트 온 전압으로 전환되며, 제2 게이트 신호는 게이트 온 전압을 유지하므로, LED 소자(150)는 발광을 멈추고, 제3 노드(N3)에 데이터 신호가 인가된다. 보상 구간에서는 제2 게이트 신호가 게이트 오프 전압으로 전환되고, 제1 트랜지스터(T1)가 턴-온되므로 구동 트랜지스터(DT)가 다이오드 커넥션되어 문턱전압의 보상 과정이 수행된다. 유지 구간에서는 제1 게이트 신호, 제2 게이트 신호, 및 에미션 신호가 모두 게이트 오프 전압 상태이므로, 각 노드에는 이전 구간에 인가된 전압이 유지된다. 발광 구간 동안에는 에미션 신호가 게이트 온 전압으로 전환되면서 구동 트랜지스터(DT)로부터 제공되는 구동 전류에 의해 LED 소자(150)는 발광한다. 이 경우, 초기화 전압은 구동 전원보다 낮고, 공통 전원보다 큰 전압일 수 있다. 상술한 픽셀 회로(130)의 구동 전류는 구동 전원의 영향을 받지 않으므로 고해상도 표시장치에서 균일한 화질을 구현할 수 있다.
- [0071] 본 명세서의 일 실시예에 따른 픽셀 회로(130)는 상술한 제1 트랜지스터(T1) 내지 제5 트랜지스터(T5), 구동 트랜지스터(DT), 및 커패시터(Cst)의 구성으로 한정되지 않고, 별도의 에미션 신호에 의해 제어되는 보조 트랜지스터 및/또는 보조 커패시터 등을 더 포함할 수도 있다.
- [0072] 도 3은 본 명세서의 일 실시예에 따른 구동 소자의 단면도이다.
- [0073] 도 2에서 설명한 바와 같이, 본 명세서의 일 실시예에 따른 표시패널(100)의 각 서브 픽셀(SP1, SP2, SP3)은 픽셀 회로(130) 및 LED 소자(150)를 포함한다. 픽셀 회로(130)를 구성하는 다양한 구성 요소 중에서 LED 소자

(150)에 구동 전류(또는 발광 전류)를 인가하는 구성 요소는 구동 소자인 구동 트랜지스터(DT)이므로 구동 트랜지스터(DT)에 대해 설명한다.

- [0074] 도 3은 더블 게이트형 트랜지스터로 구현된 구동 트랜지스터(DT)의 단면도이다. 구동 트랜지스터(DT)는 하부 게이트 전극(131), 상부 게이트 전극(133), 액티브(132), 소스 전극(134s), 및 드레인 전극(134d)을 포함한다.
- [0075] 하부 게이트 전극(131)은 기판(110) 상에 게이트 라인과 동일층에 동일 물질로 형성되고, 제1 절연층(111)에 의해 덮인다. 이 경우, 제1 절연층(111)은 하부 게이트 절연층이라고 일컫을 수 있다. 하부 게이트 전극(131)은 실리콘(Si) 등의 반도체 또는 도전성의 금속, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금, 또는 이들의 다중층일 수 있다. 제1 절연층(111)은 무기 절연 물질로 이루어진 단일층 또는 복수의 층으로 구성될 수 있으며, 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등으로 이루어질 수 있다.
- [0076] 액티브(132)는 하부 게이트 전극(131)과 중첩되도록 제1 절연층(111) 상에 미리 설정된 패턴 형태로 마련된다. 액티브(132)는 게이트 전극과 중첩되어 캐리어가 이동하는 채널 영역(132a), 소스 전극(134s)과 접촉하는 소스 영역(132s), 및 드레인 전극(134d)과 접촉하는 드레인 영역(132d)을 포함한다. 액티브(132)는 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 산화물(oxide), 및 유기물(organic material) 중 어느 하나로 이루어진 반도체 물질로 구성될 수 있지만, 이에 한정되지는 않는다.
- [0077] 제2 절연층(112)은 기판(110) 상에서 액티브(132)를 덮도록 기판(110)의 전면에 마련된다. 제2 절연층(112)은 액티브(132)와 제2 절연층(112) 상에 마련될 상부 게이트 전극(133)을 절연시킨다. 이 경우, 제2 절연층(112)은 하부 게이트 절연층이라고 일컫을 수 있다. 제2 절연층(112)은 무기 절연 물질로 이루어진 단일층 또는 복수의 층으로 구성될 수 있으며, 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등으로 이루어질 수 있다.
- [0078] 상부 게이트 전극(133)은 제2 절연층(112) 상에서 액티브(132)의 채널 영역(132a)과 중첩된 형태로 마련된다. 또한, 상부 게이트 전극(133)은 하부 게이트 전극(131)과도 중첩되어 게이트 전극과 액티브(132) 사이의 전계를 강화시킬 수 있다. 도 3에서 도시된 본 명세서의 일 실시예에 따른 구동 트랜지스터(DT)의 단면도는 액티브의 길이 방향, 즉, 캐리어가 소스 영역(132s)에서 드레인 영역(132d)으로 이동하는 방향으로의 단면이다. 이에, 하부 게이트 전극(131)은 상부 게이트 전극(133) 또는 액티브(132)의 채널 영역(132a)의 길이보다 짧은 형태로 마련된다. 이에 대한 자세한 설명은 도 4a 내지 도 4c에서 후술한다.
- [0079] 제3 절연층(113)은 기판(110) 상에서 상부 게이트 전극(133)을 덮도록 기판(110)의 전면에 마련된다. 제3 절연층(113)은 상부 게이트 전극(133)과 제3 절연층(113) 상에 마련될 소스 전극(134s) 및 드레인 전극(134d)을 절연시킨다. 제3 절연층(113)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x)을 포함하는 무기 절연 물질이나 포토아크릴(photo acryl)과 벤조사이클로부텐(benzocyclobutene)을 포함하는 유기 절연 물질 중 하나로 형성된다.
- [0080] 소스 전극(134s)은 액티브(132)의 소스 영역(132s)과 접촉하고, 데이터 라인(DL) 및 구동 전원 라인(DPL)과 동일층에 동일 물질로 형성될 수 있다.
- [0081] 드레인 전극(134d)은 소스 전극(134s)과 이격되어 액티브(132)의 드레인 영역(132d)과 접촉하고, 소스 전극(134s)과 동일층에 동일 물질로 함께 형성된다.
- [0082] 소스 전극(134s) 및 드레인 전극(134d)은 실리콘(Si) 등의 반도체 또는 도전성의 금속, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금, 또는 이들의 다중층일 수 있다.
- [0083] 그리고, 소스 전극(134s) 및 드레인 전극(134d)을 액티브(132)와 접촉시키는 방법 중 액티브(132)의 상부면에 접촉시키는 방법이 있는데, 이 방법은 해당 전극을 대상 영역에 얼라인하기 어려운 문제가 있다. 따라서, 소스 전극(134s) 및 드레인 전극(134d)은 각각 액티브(132)의 소스 영역(132s) 및 드레인 영역(132d)의 상부면이 아닌 측면에 접촉할 수 있다.
- [0084] 하부 게이트 전극(131), 액티브(132), 상부 게이트 전극(133), 소스 전극(134s), 및 드레인 전극(134d), 그리고 전극 사이에 있는 절연층들은 하나의 박막 트랜지스터를 구성하는 구성 요소이다. 그리고, 박막 트랜지스터의 성능은 구성 요소들의 설계치에 따라 결정된다. 박막 트랜지스터의 성능을 결정하는 수치 중 하나인 S-factor(subthreshold slope)는 픽셀에 전압이 얼마나 빨리 충전될 수 있는지를 나타내는 값으로, 게이트 전압에 따른 구동 전류 그래프에서 게이트 전압이 문턱전압을 넘어 구동 전류가 급격히 증가하는 On-OFF 구간에서의 기울기를 나타낸다. 표시패널이 고해상도로 갈수록 구동 소자의 크기가 작아지므로 하나의 서브 픽셀에 흐르는 전

류의 최대치도 작아진다. 이에 따라, 계조를 표현하기 위해 사용할 수 있는 데이터 전압의 폭이 함께 줄어들게 되므로, 계조 표현에 어려움이 생긴다. 따라서, S-factor를 증가시켜 게이트 전압에 따른 구동 전류 그래프의 기울기를 감소시키게되면 데이터 전압의 폭이 증가되므로 더 세분화된 계조를 표현할 수 있다.

[0085] 유기 발광 소자 또는 무기 발광 소자를 사용하는 전계발광 표시패널에서는 S-factor가 클수록 박막 트랜지스터의 성능이 좋다. 특히, 발광 소자로 마이크로 엘이디를 사용하는 표시패널의 경우 S-factor는 최소한 0.3을 만족해야 충분히 세분화된 계조 표현이 가능하다. 또한, S-factor는 하부 게이트 전극(131)과 액티브(132)의 정전용량, 및 액티브(132)와 상부 게이트 전극(133)의 정전용량에 따라 결정되는 수치이므로 제1 절연층(111) 및 제2 절연층(112)의 두께를 적절히 조절함으로써 구현될 수 있다.

[0086] 제4 절연층(114)은 소스 전극(134s) 및 드레인 전극(134d) 상에서 픽셀 회로(130)를 덮도록 기판(110)의 전면 전체에 마련된다. 제4 절연층(114)은 픽셀 회로(130)를 보호하면서 평탄면을 제공할 수 있다. 본 명세서의 일 실시예에 따른 제4 절연층(114)은 실리콘 산화막(SiO_x) 및 실리콘 질화막(SiN_x)을 포함하는 무기 절연 물질이나 벤조사이클로부텐(benzocyclobutene) 또는 포토 아크릴(photo acryl)과 같은 유기 절연 물질로 이루어질 수 있다. 제4 절연층(114)은 경우에 따라 픽셀 회로(130)를 보호하는 보호층과 픽셀 회로(130)의 단차를 평탄화시키는 평탄층을 별도로 구비할 수도 있다.

[0087] LED 소자(150)는 픽셀 회로(130)와 공통 전원 라인(CPL)에 전기적으로 연결됨으로써 픽셀 회로(130)로부터 공통 전원 라인(CPL)으로 흐르는 전류에 의해 발광한다. 픽셀 전극(135)은 구동 트랜지스터(DT)의 드레인 전극(134d)과 연결되는 LED 소자(150)의 애노드 전극으로서, 제4 절연층(114) 상에 마련된다. 도 3의 본 명세서의 일 실시예에 따른 구동 소자의 단면도는 LED 소자(150)와 구동 트랜지스터(DT) 사이에 LED 소자(150)의 발광을 제어하는 제3 트랜지스터(T3)가 없는 경우를 예를 들어 나타낸 단면도이다. 도 2의 회로도에 적용한다면 픽셀 전극(135)은 제3 트랜지스터(T3)의 드레인 전극에 접촉하여 마련될 수 있다. 픽셀 전극(135)은 표시패널(100)이 전면 발광 방식일 경우 투명 도전 물질로 이루어지고, 표시패널(100)이 후면 발광 방식일 경우 광 반사 도전 물질로 이루어질 수 있다. 투명 도전 물질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등이 될 수 있지만, 이에 한정되지는 않는다. 광 반사 도전 물질은 Al, Ag, Au, Pt, 또는 Cu 등이 될 수 있지만, 이에 한정되지는 않는다. 광 반사 도전 물질로 이루어진 픽셀 전극(135)은 광 반사 도전을 포함하는 단일층 또는 단일층이 적층된 다중층으로 이루어질 수 있다.

[0088] 도 4a는 본 명세서의 일 실시예에 따른 박막 트랜지스터의 개략적인 평면도이다. 도 4b는 도 4a의 X축 단면도이다. 도 4c는 도 4a의 Y축 단면도이다. 구체적으로, 도 4a 내지 도 4b의 박막 트랜지스터는 구동 트랜지스터(DT)에 적용된다.

[0089] 도 4a는 하부 게이트 전극(131), 액티브(132), 및 상부 게이트 전극(133)이 중첩된 평면도이다. 액티브(132)의 채널 영역(132a)은 상부 게이트 전극(133)의 하부에 배치되어 평면도에서 보이지 않는다. 상부 게이트 전극(133)의 좌/우로 액티브(132)의 소스 영역(132s) 및 드레인 영역(132d)이 보인다. 상부 게이트 전극(133)의 길이는 액티브(132)의 채널 영역(132a)의 길이에 대응되고, 상부 게이트 전극(133)의 폭은 액티브(132)의 채널 영역(132a)의 폭보다 크다. 이 경우, 길이는 X축 방향의 수치이고, 채널 영역(132a)에서 캐리어가 이동하는 방향의 수치이며, 소스 영역(132s)에서 드레인 영역(132d)을 잇는 방향의 수치를 의미한다. 폭은 Y축 방향의 수치이고, 채널 영역(132a)에서 캐리어가 이동하는 방향의 수직인 방향의 수치이며, 소스 영역(132s)에서 드레인 영역(132d)을 잇는 방향의 수직인 방향의 수치이다.

[0090] 본 명세서의 일 실시예에 따른 구동 트랜지스터(DT)의 채널 영역(132a)의 폭은 채널 영역(132a)의 길이보다 크고, 채널 영역(132a)을 덮는 상부 게이트 전극(133)의 폭은 상부 게이트 전극(133)의 길이보다 크다. 이에 따라 설계된 구동 트랜지스터(DT)는 LED 소자(150)에 제공되는 구동 전류의 크기를 증가시킬 수 있다.

[0091] 액티브(132)의 채널 영역(132a)의 폭이 길이보다 긴 구동 소자는, 앞에서 설명한바와 같이, 채널 영역(132a)의 폭이 길이보다 짧은 구동 소자보다 구동 소자의 특성이 저하된다. 채널 영역(132a)의 폭이 채널 영역(132a)의 길이보다 긴 경우 트랜지스터의 I-V 커브에서 험프(hump)와 디블(DIBL)과 같은 구동 소자의 특성을 저하시키는 요소들이 발생하고, 구동 전류 커브 측정 시 포화 영역에서 구동 전류가 포화되지 않고 증가하는 문제가 발생한다. LED 소자(150)는 전류 소자로 안정적인 전류 값이 유지되어야 하는데 채널 영역(132a)의 폭이 길이보다 크게 형성된 구동 소자를 사용하는 경우 LED 소자(150)는 안정적인 휘도를 유지하기 쉽지 않다. 따라서, 높은 구동 전류를 제공하면서 구동 소자의 특성을 향상시키기 위해서 액티브(132)의 하부에 하부 게이트 전극(131)을 마련한다.

- [0092] 도 4a 및 도 4b를 참조하면, 하부 게이트 전극(131)은 액티브(132)의 채널 영역(132a)과 중첩하고, 하부 게이트 전극(131)의 길이는 액티브(132)의 채널 영역(132a)의 길이보다 작다. 하부 게이트 전극(131)의 드레인 영역(132d)에 가장 가까운 엣지는 채널 영역(132a)과 중첩하고, 액티브(132)의 채널 영역(132a)과 드레인 영역(132d)의 경계부로부터 제1 길이(d1)만큼 안쪽으로 이격되어 있다. 이에 따라, A 영역(A)의 채널은 상부 게이트 전극(133)과 하부 게이트 전극(131)의 영향을 모두 받아 전계가 형성되고, D 영역(D)의 채널은 상부 게이트 전극(133)의 영향만 받아 전계가 형성된다. 따라서, D 영역(D)의 전계는 A 영역(A)의 전계보다 약하게 형성된다.
- [0093] 예를 들어, 채널 영역(132a)의 폭이 길이보다 크게 형성된 구동 소자에 액티브(132)의 채널 영역(132a)의 길이와 동일한 길이의 하부 게이트 전극을 배치한 경우, 드레인 영역(132d)에 인접한 C 영역(C)에서 전계가 급격히 상승하는 현상이 발생할 수 있다. 도 7을 참조하면, 도 7은 액티브(132)의 영역별 전계를 나타낸 그래프로, 구체적으로 액티브(132)의 A 영역(A), B 영역(B), 및 D 영역(D)과 B 영역(B)의 경계인 C 영역(C)에서의 전계를 나타낸다. 그래프의 가로축은 길이의 단위인 마이크로(microns)이고, 세로축은 전계를 나타내는 단위는 V/cm이다. 그래프에 표기된 실험예는 액티브(132)의 채널 영역(132a)의 길이와 동일한 길이의 하부 게이트 전극을 배치한 경우로, 액티브(132)의 A 영역(A) 및 D 영역(D)에 상부 게이트 전극(133)뿐만 아니라 하부 게이트 전극(131)이 마련된다. 그래프에 표기된 실시예는 본 명세서의 일 실시예에 따른 박막 트랜지스터로 액티브(132)의 채널 영역(132a)의 길이보다 짧은 길이의 하부 게이트 전극을 배치한 경우이며, 액티브(132)의 A 영역(A)에는 상부 게이트 전극(133) 및 하부 게이트 전극(131)이 마련되고 D 영역(D)에는 상부 게이트 전극(133)만 마련된다. 도 7에 도시된바와 같이, 드레인 영역(132d)에 인접한 채널 영역(132a)의 끝부분인 C 영역(C)에서 전계가 집중되는 현상이 발생하고, 실시예의 경우 실험예보다 전계 집중 현상이 완화되는 것을 확인할 수 있다.
- [0094] 또한, 도 6a 및 도 6b를 참조하면, 도 6a는 본 명세서의 실험예에 따른 박막 트랜지스터의 구동 전류 그래프이고, 도 6b는 본 명세서의 일 실시예에 따른 박막 트랜지스터의 구동 전류 그래프이다. 도 6a 및 도 6b 모두 드레인 전류가 증가할수록 구동 전류가 상승하는 경향을 보이지만, 실험예의 경우 구동 전류가 급격히 상승하는 킥(kink)효과가 발생하는 것을 확인할 수 있다. 이 경우, 킥효과는 도 6a의 점선으로 표시한 부분에 나타난다. 킥효과는 채널의 드레인 접합부분(이 경우, C 영역(C))에서 충돌 이온화로 인해서 생기는데 이는 구동 소자가 킥효과 영역에서 동작할 때 큰 드레인 전계가 걸리기 때문이다. 킥효과는 구동 회로에 기대하지 않은 전압 특성이 나타나거나 박막 트랜지스터의 전기적 특성이 열화될 수 있기 때문에 이러한 현상은 개선되어야 한다.
- [0095] 따라서, 구동 소자의 하부 게이트 전극(131)의 길이를 액티브(132)의 채널 영역(132a)의 길이보다 짧게 형성함으로써 킥효과를 개선하고 높은 구동 전류는 유지할 수 있다. 구체적으로, 구동 소자가 높은 구동 전류를 발생시키면서 도 6a에 나타난 킥효과가 도 6b에 도시된 그래프처럼 줄어들게 하기 위해서는 하부 게이트 전극(131)의 길이는 상부 게이트 전극(133)의 길이보다 짧아야 한다. 하지만, 더블 게이트형 트랜지스터의 구조를 유지하여 높은 구동 전류를 발생시키기 위해서는 하부 게이트 전극(131)의 길이는 상부 게이트 전극(133)의 길이의 절반 이상이어야 한다. 또한, 킥효과는 채널의 드레인 접합부분에서 발생하므로 드레인 영역(132d)에서 가까운 하부 게이트 전극(131)의 엣지에 대해 정의할 수도 있다. 즉, 드레인 영역(132d)에서 가까운 하부 게이트 전극(131)의 엣지는 채널 영역(132a) 안쪽으로 위치시킴으로써 킥이나 험프 또는 더블의 발생이 줄어들 수 있다. 이 경우, 소스 영역(132s)에서 가까운 하부 게이트 전극(131)의 엣지는 소스 영역(132s)과 채널 영역(132a)의 경계부에 위치할 수도 있고, 채널 영역(132a)의 안쪽으로 위치할 수도 있다.
- [0096] 도 4c는 액티브(132)의 채널 영역(132a)의 폭 방향의 단면이다. 도 4a 및 도 4c를 참조하면, 상부 게이트 전극(133)은 액티브(132)의 채널 영역(132a)을 완전히 덮음으로써, 캐리어가 채널 영역(132a)을 통해 이동할 수 있게 한다. 이 경우, 상부 게이트 전극(133)의 폭은 채널 영역(132a)의 폭과 동일하거나 더 클 수 있다. 용이한 얼라인을 위해 상부 게이트 전극(133)의 폭은 채널 영역(132a)의 폭보다 제2 길이(d2)의 두 배만큼 더 클 수 있다. 그리고, 하부 게이트 전극(131)의 폭은 채널 영역(132a)의 폭보다 크게하여 채널 영역(132a)에 단차가 발생하지 않고 박막 트랜지스터의 특성이 저하되지 않게 한다. 구체적으로, 액티브(132)와 하부 게이트 전극(131)의 얼라인을 고려하여 하부 게이트 전극(131)의 폭은 채널 영역(132a)의 폭보다 제2 길이(d2)의 두 배만큼 더 클 수 있다. 또한, 상부 게이트 전극(133)과 하부 게이트 전극(131)의 얼라인을 고려하여 하부 게이트 전극(131)의 폭은 상부 게이트 전극(133)의 폭보다 더 클 수 있다.
- [0097] 본 명세서의 일 실시예에 따른 박막 트랜지스터는 액티브의 채널 영역에서 전계를 조정할 수 있는 전극 특화 구조를 적용함으로써, 구동 소자의 소자 특성을 잃지 않으면서 안정적으로 높은 구동 전류를 발생시킬 수 있다. 이 경우, 전극 특화 구조는 상하단 게이트 전극을 활용한 구조로서 상부 게이트 전극이 액티브의 채널 영역을 덮고 액티브의 드레인 영역에 인접한 하부 게이트 전극의 엣지는 채널 영역과 드레인 영역의 경계부보다 안쪽에

배치되어 채널 영역과 중첩한다.

- [0098] 도 5a 내지 도 5h는 본 명세서의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 나타낸 도면으로, 도 4b와 같이 X축을 따라 절단된 단면도이다.
- [0099] 도 5a를 참조하면, 기판(110) 상에 게이트 금속층을 형성하고 이를 패터닝하여 하부 게이트 전극(131)이 형성된다.
- [0100] 도 5b를 참조하면, 제1 절연층(111)은 하부 게이트 전극(131)을 덮도록 기판(110)의 전면 전체에 형성된다. 다음으로, 제1 절연층(111) 상에 플라즈마 화학기상증착법으로 비정질 실리콘(a-Si:H)을 증착하여 비정질 실리콘층을 형성하고, 비정질 실리콘층을 결정화한 후 이를 패터닝하게 되면, 하부 게이트 전극(131)과 중첩되는 영역에 액티브(132)가 형성된다. 이 경우, 액티브(132)의 길이는 하부 게이트 전극(131)의 길이보다 길다.
- [0101] 제1 절연층(111)은 플라즈마 화학기상증착법으로 비정질 실리콘을 증착하고 이를 결정화하는 과정에서 기판(110)에 함유된 불순물에 의해 액티브(132)가 오염되는 것을 방지하는 기능을 한다.
- [0102] 비정질 실리콘을 결정화하는 방법은 엑시머 레이저 어닐링(excimer laser annealing: ELA), 고상 결정화(solid phase crystallization: SPC), 연속측면 결정화(sequential lateral solidification: SLS), 금속유도 결정화(metal induced crystallization: MIC), 금속유도 측면결정화(metal induced lateral crystallization: MILC), 교번자장 결정화(alternative magnetic lateral crystallization: AMLC) 중 어느 하나를 선택하여 이용할 수 있고, 이에 한정되지는 않는다.
- [0103] 도 5c를 참조하면, 액티브(132) 상에 제2 절연층(112)이 형성된다. 다음으로, 제2 절연층(112) 상에 상부 게이트 금속층을 형성하고 이를 패터닝하여 스캔 신호를 인가받는 게이트 배선과 게이트 배선에서 연장되어 액티브의 채널이 형성될 영역(C)과 중첩된 영역에 게이트 전극(133)이 형성된다. 이 경우, 게이트 배선은 상부 게이트 전극과 동일층에 형성될 수도 하부 게이트 전극과 동일층에 형성될 수도 있다.
- [0104] 도 5d를 참조하면, 상부 게이트 전극(133)을 이온 스타퍼(ion stopper)로 이용하여 액티브(132)를 n형 또는 p형 이온을 다량으로 도핑하는 단계를 진행한다. 도핑 단계를 통해 상부 게이트 전극(133)과 중첩된 하부에 불순물이 주입되지 않은 채널 영역(132a)과 소스 영역(132s) 및 드레인 영역(132d)에 대응하여 n형 또는 p형 이온이 다량으로 도핑된 도핑층이 형성된다. 따라서, 상부 게이트 전극(133)의 길이는 액티브(132)의 채널 영역(132a)의 길이와 동일하게 형성된다.
- [0105] 도 5e를 참조하면, 상부 게이트 전극(133)의 상부 전면에는 제3 절연막(113)이 형성된다. 제3 절연막(113)이 형성된 기판(110) 상에 포토 레지스트(photo resist)를 도포하여 감광층을 형성하고, 감광층과 이격된 상부로 차단부와 투과부로 이루어진 마스크를 정렬한다. 차단부는 빛을 완전히 차단하는 기능을 하고, 투과부는 빛을 투과시켜 빛에 노출된 감광층이 화학적 변화를 일으켜 완전 노광될 수 있도록 한다. 이 경우, 소스 영역(132s)과 드레인 영역(132d) 각각의 일부분에 대응하여 투과부가 위치하도록 하고, 이를 제외한 영역은 차단부가 위치하도록 한다. 마스크와 이격된 상부에서 기판(110) 방향으로 노광기를 이용한 노광 공정을 진행하게 되면, 소스 영역(132s)과 드레인 영역(132d)의 일부분에 대응된 감광층은 모두 제거되고, 이를 제외한 영역에서는 두께 변화가 없는 다수의 감광 패턴이 형성된다. 전술한 노광 공정을 통해 소스 영역(132s) 및 드레인 영역(132d)의 일부분에 대응된 제3 절연막(113)이 외부로 노출된다.
- [0106] 다수의 감광 패턴을 마스크로 이용하여 소스 영역(132s) 및 드레인 영역(132d)의 일부분으로 노출된 제3 절연막(113)과 제3 절연막(113) 하부에 있는 제2 절연막(112) 및 액티브(132)를 플라즈마 건식식각 장비를 이용하여 일괄적으로 패터닝하는 단계를 진행한다. 이 경우, 제3 절연막(113), 제2 절연막(112) 및 액티브(132)를 구성하는 물질과 반응이 잘 일어나는 반응가스를 사용하여 제3 절연막(113), 제2 절연막(112), 및 액티브(132)를 일괄적으로 패터닝하여 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)을 형성한다. 제1 컨택홀(CH1)은 도핑된 액티브(132)의 소스 영역(132s)에 대응되고, 제2 컨택홀(CH2)은 도핑된 액티브(132)의 드레인 영역(132d)에 대응되어 형성된다. 다음으로, 도핑된 소스 및 드레인 영역의 하부에 있는 제1 절연층(111)을 과식각하여 제1 절연층(111)의 일부분을 제거한다.
- [0107] 전술한 공정을 통해, 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)에 의해 소스 영역(132s) 및 드레인 영역(132d)의 측면이 노출된다.
- [0108] 도 5f에 도시한 바와 같이, 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)에는 몰리브덴(Mo), 알루미늄 합금(AlNd, p-Al), 티타늄(Ti), 탄탈륨(Ta), 티타늄 합금(TiN), 인듐-틴-옥사이드(ITO) 및 인듐-징크-옥사이드(IZO)를 포함하

는 도전성 물질 그룹 중 선택된 하나로 소스 및 드레인 금속층을 형성하고 이를 패터하여, 게이트 배선과 함께 서브픽셀 영역을 정의하는 데이터 배선과, 데이터 배선에서 연장되고 제1 컨택홀(CH1)을 통해 액티브(132)의 소스 영역(132s)과 접촉하는 소스 전극(134s)과, 소스 전극(134s)과 이격되고 제2 컨택홀(CH2)을 통해 액티브(132)의 드레인 영역(132d)과 접촉하는 드레인 전극(134d)을 각각 형성한다.

- [0109] 소스 영역(132s) 및 드레인 영역(132d)의 상부면에 각각 소스 전극(134s) 및 드레인 전극(134d)을 형성하기 위해서는 정밀한 열라인 작업이 필요하므로 열라인이 제대로 되지 않을 경우 접촉 불량에 발생할 수 있다. 따라서, 상술한 바와 같이 소스 영역(132s) 및 드레인 영역(132d)의 사이드면에 각각 소스 전극(134s) 및 드레인 전극(134d)을 형성하게되면 소스 영역(132s) 및 드레인 영역(132d)의 상부면에 소스 전극(134s) 및 드레인 전극(134d)을 형성하는 것 보다 열라인에 대한 공정 마진이 증가하고 식각공정에서 발생할 수 있는 부산물을 줄일 수 있다. 이에 따라, 컨택 불량을 감소시킬 수 있고 일괄 식각이 가능하므로 공정 수율을 개선할 수 있다.
- [0110] 도 5g를 참조하면, 소스 전극(134s) 및 드레인 전극(134d)이 형성된 기판(110) 상에는 드레인 전극(134)을 노출하는 제3 컨택홀(CH3)을 포함하는 제4 절연층(114)이 형성된다.
- [0111] 도 5h를 참조하면, 제4 절연층(114) 상에는 제3 컨택홀(CH3)을 통해 드레인 전극(134d)과 접촉된 픽셀 전극(135)을 서브픽셀 영역에 대응하여 형성한다.
- [0112] 이상으로 본 명세서의 일 실시예에 따른 박막 트랜지스터의 제작 방법을 설명하였다.
- [0113] 본 명세서의 일 실시예에 따른 표시패널에 있어서, 표시패널은 기판, 기판 상에 있고 소스 영역, 드레인 영역, 및 채널 영역을 포함하는 액티브, 액티브의 소스 영역 및 드레인 영역에 각각 접촉하는 소스 전극 및 드레인 전극, 액티브 상부에 있는 상부 게이트 전극, 액티브 하부에 있는 하부 게이트 전극을 포함한다. 이 경우, 드레인 영역에 가장 가까운 하부 게이트 전극의 엣지는 채널 영역과 중첩하며, 소스 영역 및 드레인 영역은 상부 게이트 전극과 중첩하지 않는다. 따라서, 표시패널에 포함된 구동 소자는 특성이 저하되지 않으면서 높은 구동 전류를 발생시켜 표시패널의 휘도를 안정적으로 유지시킬 수 있다.
- [0114] 본 명세서의 다른 특징에 따르면, 소스 영역에서 드레인 영역을 잇는 방향으로의 하부 게이트 전극의 길이는 상부 게이트 전극의 길이보다 짧을 수 있다.
- [0115] 본 명세서의 다른 특징에 따르면, 소스 전극 및 드레인 전극에 전압을 인가하였을 때 채널 영역을 통해 캐리어가 이동하고, 채널 영역에서 캐리어가 이동하는 방향으로의 상부 게이트 전극의 길이는 캐리어가 이동하는 방향의 수직인 방향으로 구현된 상부 게이트 전극의 폭보다 짧을 수 있다.
- [0116] 본 명세서의 다른 특징에 따르면, 상부 게이트 전극은 채널 영역과 중첩하고 상부 게이트 전극의 크기는 채널 영역의 크기보다 클 수 있다.
- [0117] 본 명세서의 다른 특징에 따르면, 하부 게이트 전극 및 액티브 사이에 있는 제1 절연층, 및 액티브 및 상부 게이트 사이에 있는 제2 절연층을 더 포함하고, 소스 전극 및 드레인 전극은 제2 절연층 및 액티브를 관통하여 제1 절연층의 일부분에 침투될 수 있다.
- [0118] 본 명세서의 다른 특징에 따르면, 박막 트랜지스터는 액티브, 소스 전극, 드레인 전극, 상부 게이트 전극, 및 하부 게이트 전극을 포함하고, 박막 트랜지스터 상에 발광 소자를 더 포함하며, 발광 소자는 마이크로 엘디로 구현될 수 있다.
- [0119] 본 명세서의 다른 특징에 따르면, 박막 트랜지스터는 S-factor가 0.3 이상이 되도록 구현될 수 있다.
- [0120] 본 명세서의 일 실시예에 따른 박막 트랜지스터에 있어서, 박막 트랜지스터는 소스 영역, 드레인 영역, 및 채널 영역을 포함하는 액티브, 액티브 상부에 있는 상부 게이트 전극, 및 액티브 하부에 있는 하부 게이트 전극을 포함한다. 이 경우, 하부 게이트 전극의 길이는 상부 게이트 전극의 길이보다 짧으며, 소스 영역 및 드레인 영역은 상부 게이트 전극과 중첩되지 않는다. 따라서, 박막 트랜지스터는 높은 구동 전류를 발생시키면서 박막 트랜지스터의 특성을 향상시킬 수 있다.
- [0121] 본 명세서의 다른 특징에 따르면, 하부 게이트 전극 및 상부 게이트 전극의 길이는 소스 영역에서 드레인 영역을 잇는 방향으로의 수직일 수 있다.
- [0122] 본 명세서의 다른 특징에 따르면, 하부 게이트 전극의 길이는 상부 게이트 전극의 길이의 절반 이상일 수 있다.
- [0123] 본 명세서의 다른 특징에 따르면, 상부 게이트 전극은 액티브의 채널 영역을 완전히 덮을 수 있다.

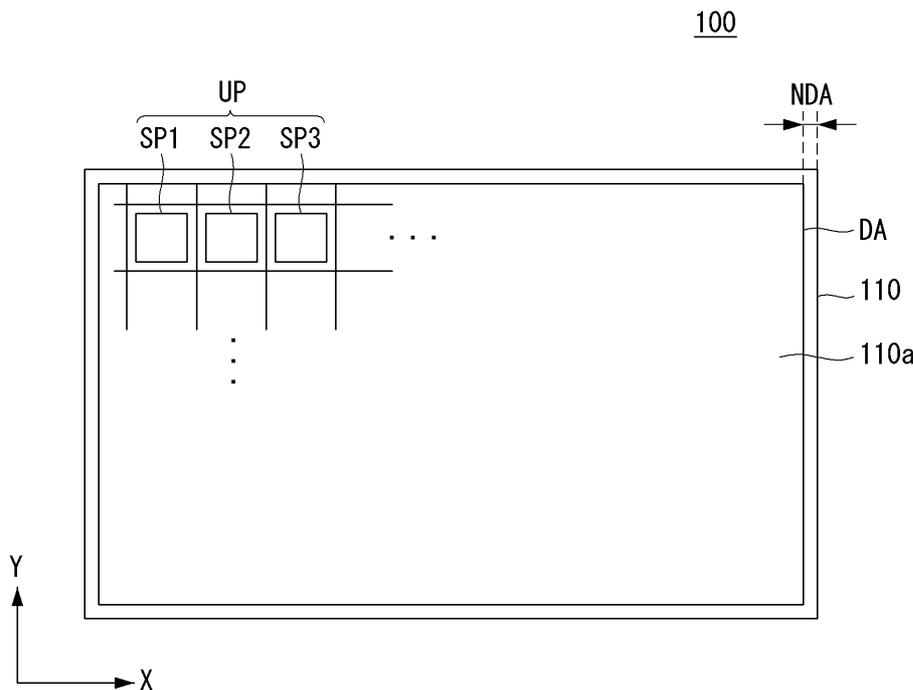
- [0124] 본 명세서의 다른 특징에 따르면, 액티브의 드레인 영역 및 소스 영역은 도핑될 수 있다.
- [0125] 본 명세서의 다른 특징에 따르면, 액티브의 채널 영역의 폭은 채널 영역의 길이보다 길 수 있다.
- [0126] 본 명세서의 다른 특징에 따르면, 하부 게이트 전극의 폭은 액티브의 폭과 같거나 길 수 있다.
- [0127] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

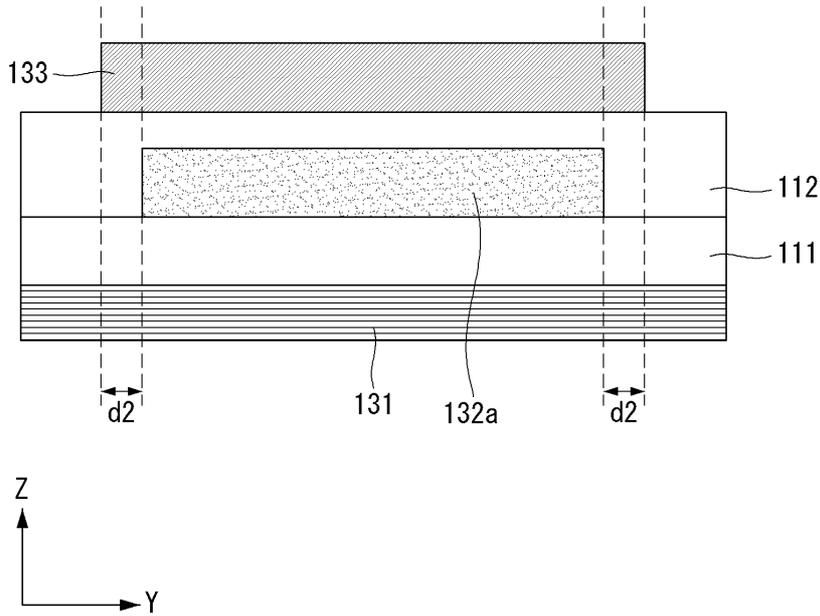
- [0128] 100 : 표시장치 110 : 기판
- 111 : 제1 절연층 112 : 제2 절연층
- 113 : 제3 절연층 114 : 제4 절연층
- 130 : 픽셀 회로 131 : 하부 게이트 전극
- 132 : 액티브 132a : 채널 영역
- 132s : 소스 영역 132d : 드레인 영역
- 133 : 상부 게이트 전극 134s : 소스 전극
- 134d : 드레인 전극 135 : 픽셀 전극
- 150 : 발광 소자

도면

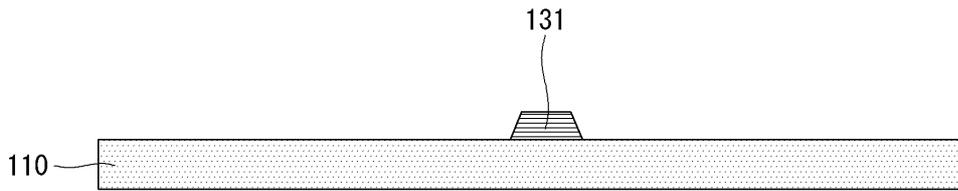
도면1



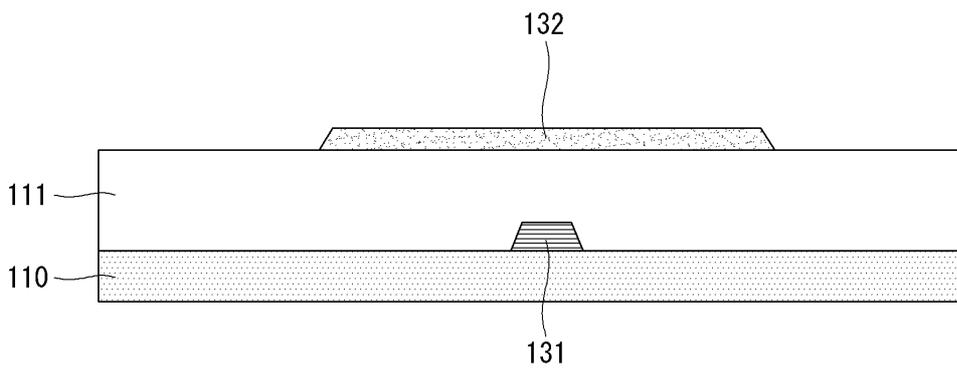
도면4c



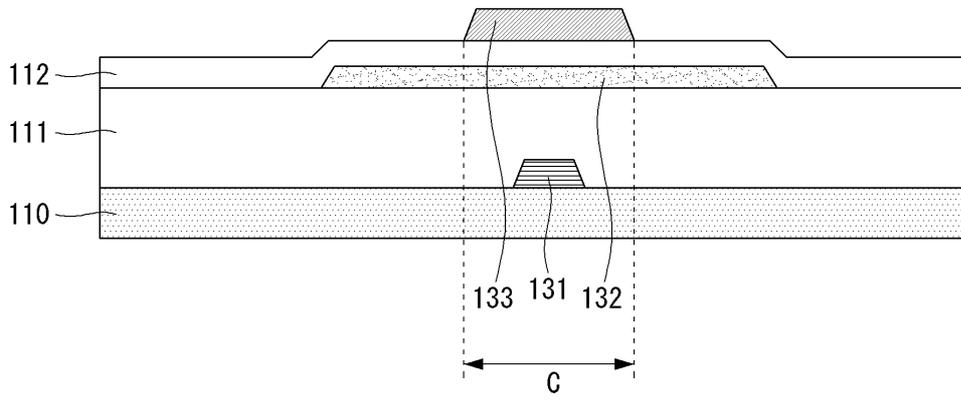
도면5a



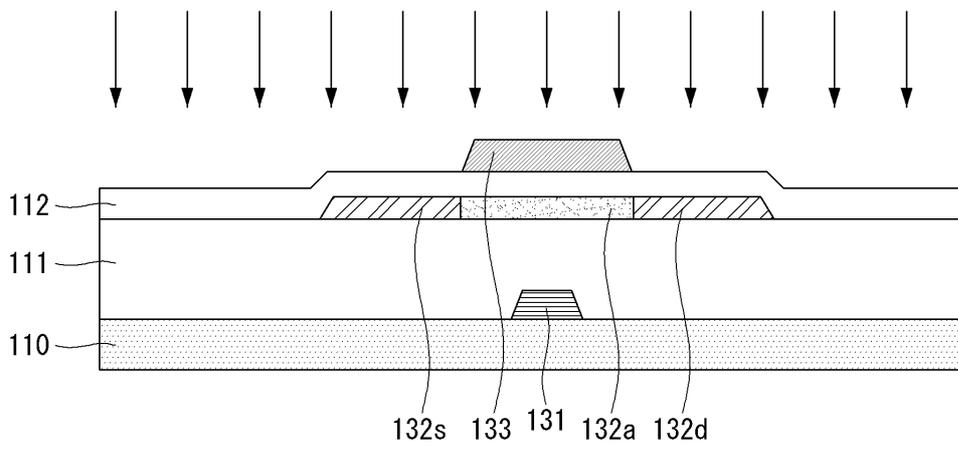
도면5b



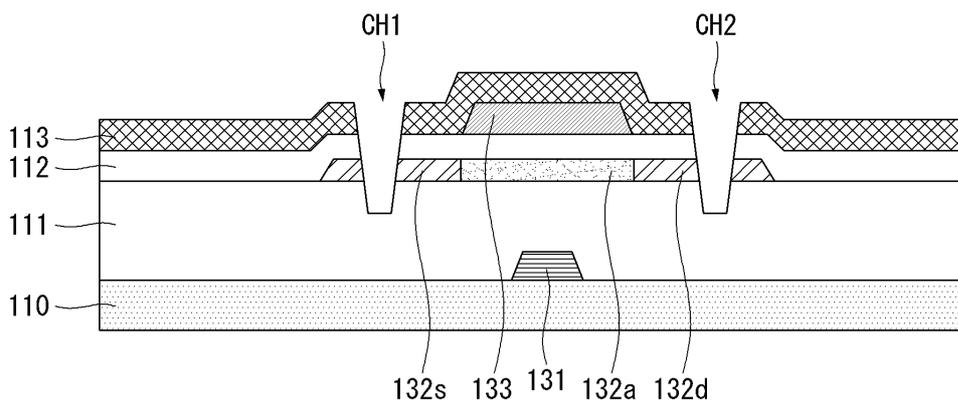
도면5c



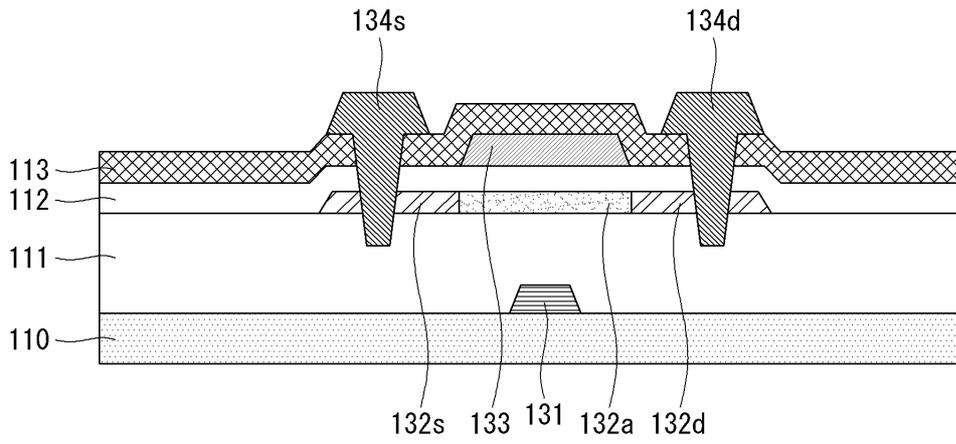
도면5d



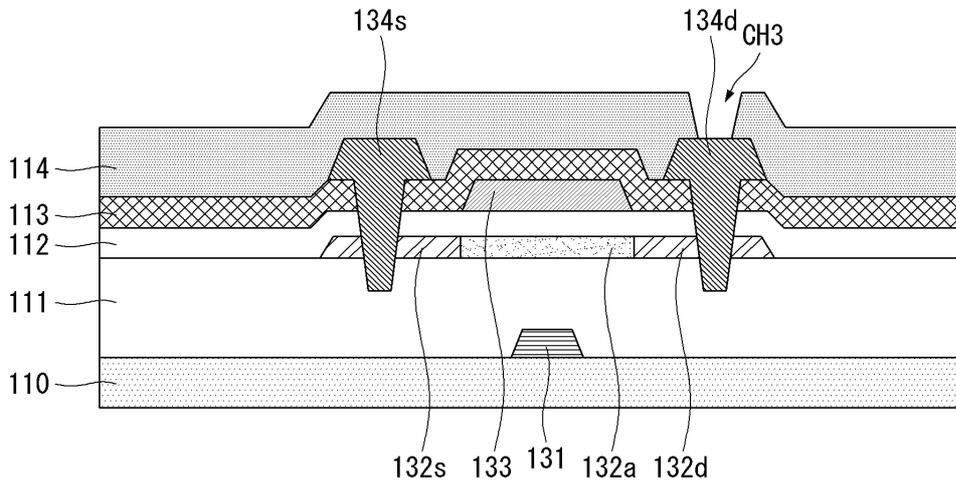
도면5e



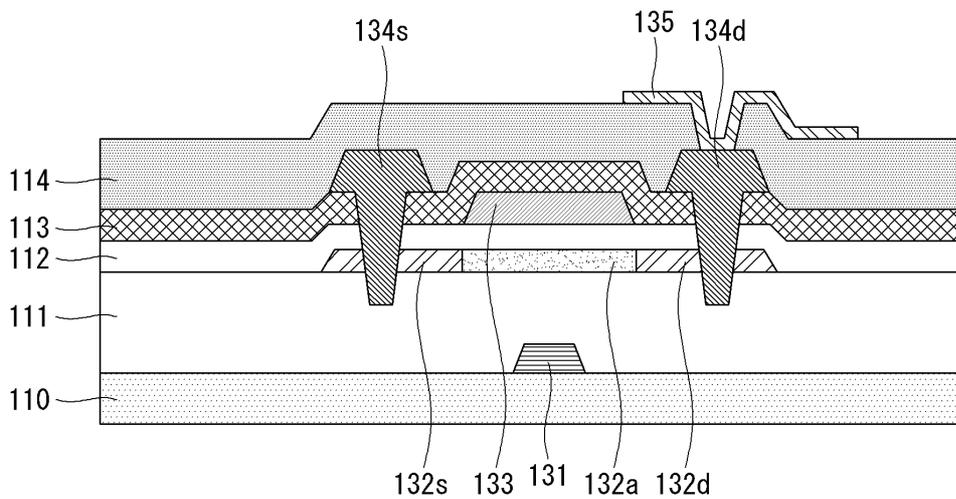
도면5f



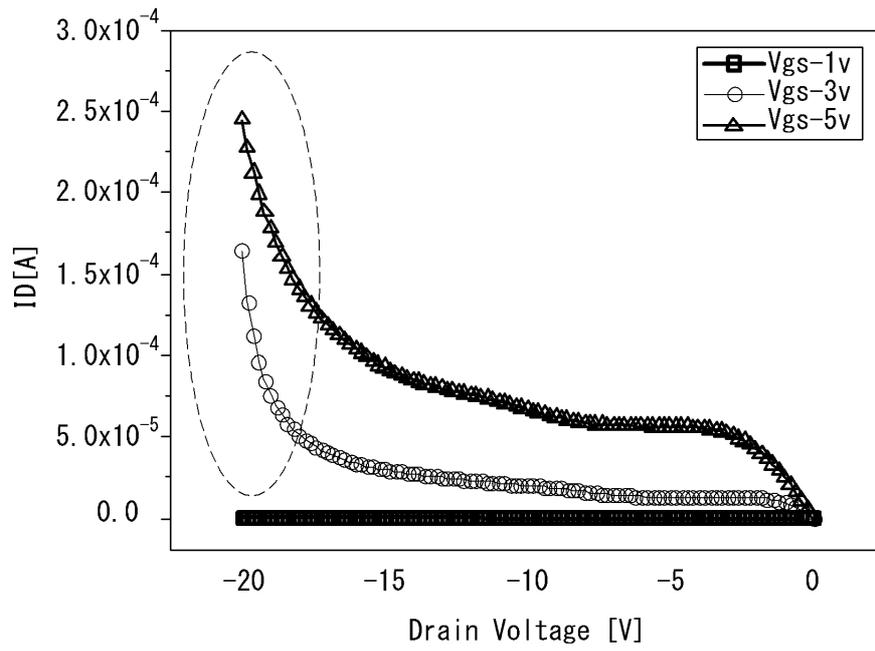
도면5g



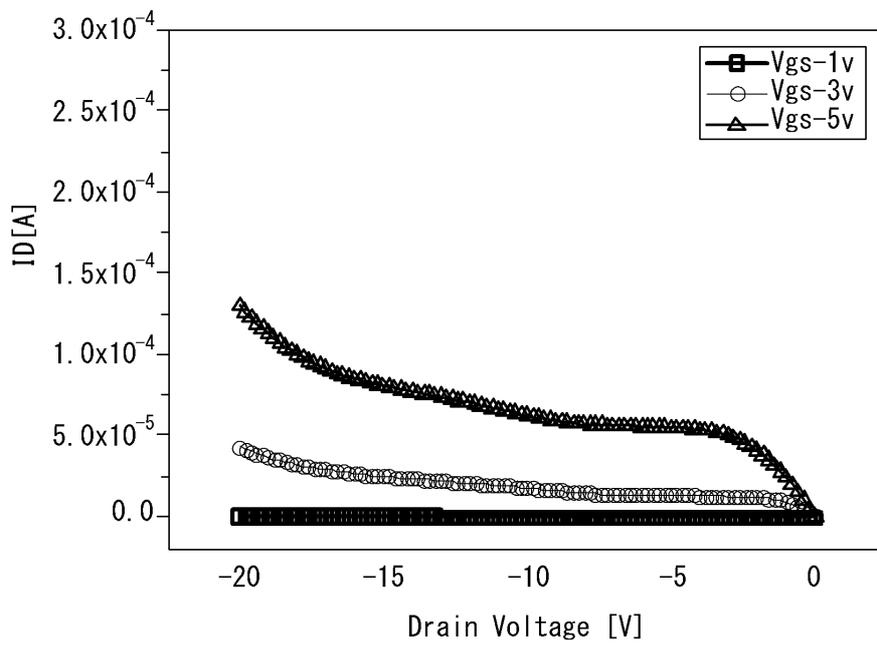
도면5h



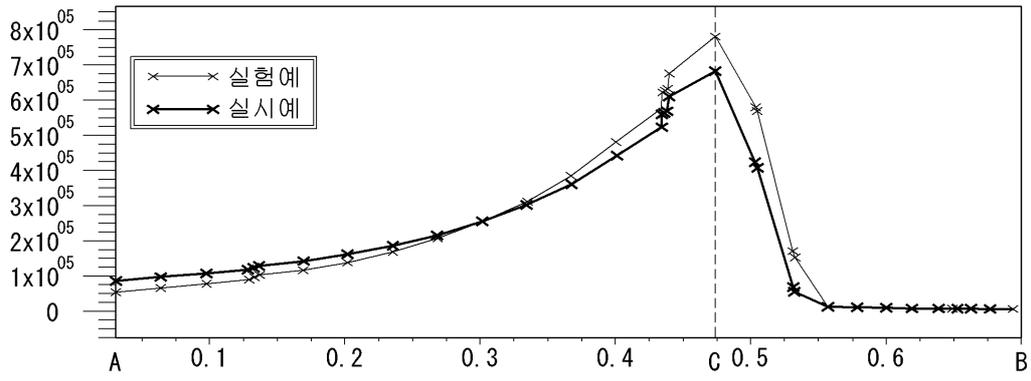
도면6a



도면6b



도면7



专利名称(译)	薄膜晶体管及使用其的显示面板		
公开(公告)号	KR1020200076995A	公开(公告)日	2020-06-30
申请号	KR1020180166067	申请日	2018-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최선영 오금미		
发明人	최선영 오금미		
IPC分类号	H01L27/12 H01L27/15		
CPC分类号	H01L27/124 H01L27/15 H01L25/0753 H01L27/1214 H01L29/78648 H01L29/78696		
外部链接	Espacenet		

摘要(译)

在根据本公开的显示面板中,显示面板包括:基板;在基板上具有有源区,有源区,漏区和沟道区的有源层;与源区接触的源电极;与源区接触的漏电极。漏极区,有源层上方的上栅电极和有源层下方的下栅电极。下栅电极的最靠近漏极区的边缘与沟道区重叠,并且源极区和漏区不与上栅电极重叠。构成显示面板的驱动元件可以产生高的驱动电流而不会劣化其特性,从而稳定地保持显示面板的亮度。

